

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250498

(43) 公開日 平成8年(1996)9月27日

| (51) Int.Cl. ⁸ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|---------|---------------|---------|
| H 0 1 L 21/321 | | 9169-4M | H 0 1 L 21/92 | 6 0 2 Z |
| | | 9169-4M | | 6 0 2 N |
| | | 9169-4M | | 6 0 2 L |
| | | 9169-4M | | 6 0 4 B |

審査請求 未請求 請求項の数3 O L (全 8 頁)

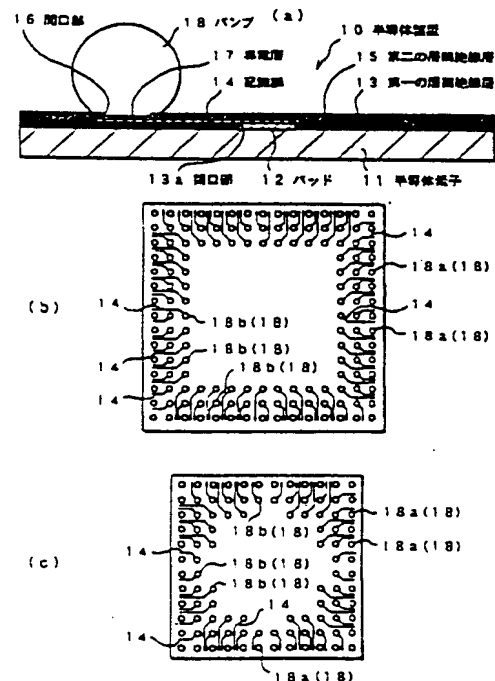
| | | | |
|-----------|----------------|----------|---|
| (21) 出願番号 | 特願平7-49353 | (71) 出願人 | 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号 |
| (22) 出願日 | 平成7年(1995)3月9日 | (72) 発明者 | 岩淵 肇 東京都品川区北品川6丁目7番35号 ソニー株式会社内 |
| | | (74) 代理人 | 弁理士 船橋 國則 |

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【目的】 半導体素子と回路基板との線膨張係数の差に起因する不都合を解消して十分な信頼性を確保するとともに、フリップチップ化による高密度化の効果を十分発揮でき、しかもコストアップを抑制することができる半導体装置とその製造方法を提供する。

【構成】 複数のパッド12を有する半導体素子11のパッド形成面に、パッド12のうちの一つに導通する配線部14が複数形成され、配線部14の所定位置上にバンプ18が形成されてなる半導体装置10。およびその製造方法。



本発明装置の概略構成図

1

【特許請求の範囲】

【請求項1】 複数のパッドを有する半導体素子のパッド形成面に、前記パッドのうちの一つに導通する配線部が複数形成され、

該配線部の所定位置上にバンプが形成されてなる、ことを特徴とする半導体装置。

【請求項2】 前記パッドのうちの信号ピンとなるパッドに導通するバンプが、前記パッド形成面の周辺側に配設され、

前記パッドのうちの電源ピンとなるパッドに導通するバンプが、前記パッド形成面の内側に配設されてなる、ことを特徴とする請求項1記載の半導体装置。

【請求項3】 パッドを有する半導体素子上に、回路基板と電気的・機械的に接続されるバンプを形成する半導体装置の製造方法であって、

前記半導体素子上に第一の層間絶縁層を形成し、かつ該第一の層間絶縁層の、前記パッドの直上部を開口して該パッドを露出させる第一工程と、

前記第一の層間絶縁層上に、前記パッドより半導体素子上のバンプ形成位置まで延びたパターンの配線部を形成する第二工程と、

前記配線部を覆って前記第一の層間絶縁層上に第二の層間絶縁層を形成し、かつ該第二の層間絶縁層の、前記バンプ形成位置の直上部を開口して前記配線部を露出させる第三工程と、

前記半導体素子の、第二の層間絶縁層を形成した側の面に導電層を形成する第四工程と、

前記導電層上にめっきレジスト層を形成し、かつ前記バンプ形成位置の直上部を開口して前記導電層を露出させる第五工程と、

前記半導体素子のめっきレジスト層側を電解液中に浸漬し、通電することによって前記バンプ形成位置の直上部にバンプを形成する第六工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、パッドに導通するバンプを任意の位置に形成した半導体装置とその製造方法に関する。

【0002】

【従来の技術】 近年、半導体素子はその高密度・高集積化・高速化が益々進み、これに伴ってこれら半導体素子を回路基板上に高密度に実装する要求が強まっている。半導体素子を回路基板上に実装するには、従来、半導体素子をセラミックスまたはプラスチックで外部環境から保護し、端子を出すことによって実装する方法が知られている。また、高密度化をさらに進めるため、近年ではBGAパッケージが注目を集め、さらにはチップ（半導体素子）上にバンプを形成し、これをフェースダウンで回路基板に接続するフリップチップの実用化検討も活発

2

になされている。

【0003】 ところで、究極的な高密度実装を考えた場合、現在のところフリップチップが最も有望であるとされている。このようなフリップチップ実装を可能にするためには、半導体素子上に形成されているA1パッドの上に、回路基板との電気的接続部となるバンプを何らかの方法で形成しなければならない。バンプの形成方法としては、蒸着法、めっき法、スタッドバンプ法が従来から知られているが、中でもめっき法が最も一般的とされている。

【0004】 このようなめっき法によるバンプ形成の一例を、図5を参照して説明する。まず、図5(a)に示すように半導体素子1のA1パッド2上に、蒸着法により該半導体素子1およびA1パッド2の上面全体を覆ってバリアメタル層3を形成する。次に、前記バリアメタル層3の全面にめっきレジスト層4を形成し、公知のリソグラフィ技術、エッチング技術によって図5(b)に示すようにA1パッド2の直上部のみを開口させる。

【0005】 次いで、半導体素子1のA1パッド2側の面を電界液中に浸漬し通電することにより、図5(c)に示すように前記A1パッド2の直上部にマッシュルーム状のはんだバンプ5を形成する。その後、はんだバンプ5をマスクとして酸等による処理を行い、レジスト層4、バリアメタル層3をそれぞれ除去し、さらにフラックスを塗布した後熱処理し、はんだバンプ5を溶融処理して図5(d)に示すような球状のバンプ5aにする。

【0006】 また、他のバンプ形成方法のうち蒸着法は、半導体素子上に金属を蒸着し、この金属層をエッチングしてバンプを形成すべき部位にのみ開口した金属製マスクを形成し、得られた金属製マスクを用いて再度蒸着することにより、バンプを形成する方法である。

【0007】

【発明が解決しようとする課題】 ところで、前述したようなフリップチップ実装は、一般に半導体素子と回路基板との線膨張係数が異なることから、動作による発熱のためはんだバンプに応力が集中し、バンプにクラックが入ってしまい、最終的には電気的に開放状態、すなわち断線状態となってしまうことが知られている。このような熱ストレスによる応力は、例えば工業調査会による「高信頼性マイクロソルダリング技術(P275)」等

に示されるように、Coffin-Mansonの式に従うことが一般に知られており、このような知見を通して、バンプを介しての導通状態を維持させるべく、さまざまな延命のための施策が検討されている。例えば、バンプ高さを高くすることが、バンプを介した導通状態維持についての、寿命延命対策として有望であることが分かっている。

【0008】 ところが、ASIC(Application Specific Integrated Circuit)などのように高密度・高集積化が求められる半導体素子では、出力端子数が多くA1パッド間の間隔が狭くなっており、一方前記しためっき

50

3

法では、パンプ5 (5a) の高さが電極間隔 (A1パッド2、2間の間隔) に制限されている。すなわち、この制限を越えて球状のパンプ5aの高さを高く形成しようとすると、マッシュルーム状のはんだパンプ5の形成時に該パンプ5、5間が連続してしまい、電極間 (A1パッド2、2間) が電氣的に短絡してパンプ5aの形成が困難になってしまうからである。例えば、A1パッド2、2の間隔が150 μ mであり、現実的なレジスト厚さを40 μ mとした場合、得られるパンプ5aの高さは70 μ m程度が限界となっているのである。したがって、このような従来のめっき法では、A1パッド間の間隔の狭い半導体素子上にはパンプを形成することができないのである。

【0009】また、前記蒸着法では、パンプ形成のための蒸着時に、蒸着処理に伴って金属製マスクが温度上昇することにより該金属製マスクが反ってしまい、結果としてパンプの形成位置精度が悪くなるといった不都合があり、前記めっき法と同様に狭いピッチのパンプ形成には適さないのである。

【0010】また、線膨張係数差による熱ストレスを緩和する施策として、パンプを千鳥状に配列し、パンプにかかる応力の集中を分散させることが知られている (例えば曾我ら著、電子情報通信学会論文誌 C vol. J70-C No.12 pp.1575-1582 1987年12月)。しかし、この場合には、A1パッドを予め千鳥状に配列させておくことから、同一出力端子数で考えると、縦横に略等間隔でA1パッドを配列させた場合に比べ、レイアウト上半導体素子の面積を大きくしなければならず、コスト・高密度化という点で不満がある。

【0011】いずれにせよ、従来のフリップチップ実装技術では、高信頼性を得るための施策が十分になされていないのである。一方、半導体素子を実装するための回路基板にあっても、その加工精度上、電極端子部の間隔の限界が150 μ m程度とされており、このような理由からも、従来のフリップチップ実装技術では、そのパンプ間の間隔を狭くできないのである。

【0012】しかし、半導体素子におけるA1パッド間間隔は現在100 μ mを下回るところまでファインピッチ化されていることから、これに対応してパンプ間の間隔も狭くし、フリップチップ化による利点である高密度化を十分に図りたいとの要求がある。しかし、現状では前述した理由により、その要求に応えられないのである。さらに、現状では高密度化に対応して回路基板もその電極端子部の間隔を限界近くまで狭くしていることから、実装時において半導体素子との位置合わせ等を厳密な精度で行わなくてはならず、そのためこれに対応できる高精度の設備が必要となり、したがってコストアップを招く結果になっている。

【0013】本発明は前記事情に鑑みてなされたもので、その目的とするところは、半導体素子と回路基板と

4

の線膨張係数の差に起因する不都合を解消して十分な信頼性を確保するとともに、フリップチップ化による高密度化の効果を十分発揮でき、しかもコストアップを抑制することができる半導体装置とその製造方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の半導体装置では、複数のパッドを有する半導体素子のパッド形成面に、前記パッドのうちの一つに導通する配線部が複数形成され、該配線部の所定位置上にパンプが形成されてなることを前記課題の解決手段とした。本発明の半導体装置の製造方法では、パッドを有する半導体素子上に第一の層間絶縁層を形成し、かつ該第一の層間絶縁層の、前記パッドの直上部を開口して該パッドを露出させる第一工程と、前記第一の層間絶縁層上に、前記パッドより半導体素子上のパンプ形成位置まで延びたパターンの配線部を形成する第二工程と、前記配線部を覆って前記第一の層間絶縁層上に第二の層間絶縁層を形成し、かつ該第二の層間絶縁層の、前記パンプ形成位置の直上部を開口して前記配線部を露出させる第三工程と、前記半導体素子の、第二の層間絶縁層を形成した側の面に導電層を形成する第四工程と、前記導電層上にめっきレジスト層を形成し、かつ前記パンプ形成位置の直上部を開口して前記導電層を露出させる第五工程と、前記半導体素子のめっきレジスト層側を電解液中に浸漬し、通電することによって前記パンプ形成位置の直上部にパンプを形成する第六工程とを有することを前記課題の解決手段とした。

【0015】

【作用】本発明の半導体装置によれば、複数のパッドを有する半導体素子のパッド形成面に、前記パッドのうちの一つに導通する配線部を複数形成し、該配線部の所定位置上にパンプを形成したので、該所定の位置を予め設定しておくことにより、パッドの位置や間隔に制限されことなくパンプが任意の間隔で形成配置され、これによりパンプが任意の高さに形成されたものとなる。本発明の半導体装置の製造方法によれば、パッドに導通する配線部上の、パンプ形成位置の直上部にパンプを形成するので、パッドの位置や間隔に制限されことなくパンプを任意の位置でしかも任意の間隔で形成配置することができ、したがってパンプを任意の高さに形成することが可能になる。

【0016】

【実施例】以下、本発明を実施例により詳しく説明する。図1(a)は本発明の半導体装置の一実施例を示す図であり、図1(a)において符号10は半導体装置、11は半導体素子である。半導体素子11は、平面視略正方形の公知のもので、その一方の面には、回路基板 (図示略) と電氣的・機械的に接続するための多数のパッド12…が所定の間隔で形成配置されている。また、この半導体素子11上には、前記パッド12…を除く位

5

置に第一の層間絶縁層13が形成されている。この第一の層間絶縁層13は、無機系または有機系の絶縁物からなるもので、後述するように半導体素子11と配線部との間の電気的影響を排除するためのものである。なお、この第一の層間絶縁層13は、前記パッド12と略同一の厚みに形成されたものとなっている。

【0017】パッド12…および第一の層間絶縁層13の上には、個々のパッド12上から第一の層間絶縁層13の所定位置に延びる配線部14が多数形成されている。これら配線部14…は、それぞれ一つのパッド12上に設けられてこれに導通するとともに、その先端部が予め設定されたバンプ形成位置にまで延びて形成されたもので、例えばAu/Cu/Ti等で構成された積層金属配線により形成されたものである。また、このような配線部14…および第一の層間絶縁層13の上には、第二の層間絶縁層15が形成されている。この第二の層間絶縁層15は、第一の層間絶縁層13と同様に無機系または有機系の絶縁物からなるもので、配線部14の損傷を防ぐためのものである。

【0018】この第二の層間絶縁層15には、そのバンプ形成位置と対応する箇所にそれぞれ、前記配線部14の上面の一部を露出させる開口部16が形成されており、これら開口部16…内の、露出した配線部14の上面には、それぞれ導電層17を介して球状のバンプ18が形成されている。導電層17は、後述するようにバンプ18の形成のために設けられたものであり、Cu、Au等の金属で形成されたものである。バンプ18は、半導体素子11を回路基板に電気的・機械的に接続するための突起物である。なお、バンプ18については、通常、共晶はんだ、高融点はんだ等のはんだによって形成されるが、例えばNi、Cu等の金属で形成したものでもよく、さらには、これら金属で形成した後、その表面に貴金属めっきしたものでもよい。

【0019】また、このようなバンプ18は、図1

(b)に示すように半導体素子11におけるパッド形成面上の周辺部にて、三列で整列配置されたものとなっている。この三列で配置された多数のバンプ18…のうちの、最外部の一行、すなわち前記パッド形成面の周辺側にあるバンプ18a…は、半導体素子10のパッド12…のうちの、信号ピンとなるパッドに導通するよう形成されたものであり、また内側の二列にあるバンプ18b…は、半導体素子10のパッド12…のうちの、電源ピンとなるパッドに導通するよう形成されたものである。ここで、半導体素子11に形成されたパッド12…は、図1(b)中に図示していないものの、半導体素子11の周辺部にのみ形成されており、したがって前記バンプ18…のうちの内側に配置されたバンプ18b…は、周辺部に形成されたパッド12に配線部14を介して接続されたものとなっている。

【0020】なお、バンプ18の配置については、半導

6

体素子の構成、すなわちその形状やピン数などによって適宜変更可能であり、例えば図1(c)に示すような配置にしてもよい。ここで、図1(c)に示したバンプ18の配置にあっても、その周辺側の一行が信号ピンとなるパッドに導通するよう形成され、内側の二列が電源ピンとなるパッドに導通するよう形成されている。

【0021】このような構成の半導体装置10にあっては、予め設定した所定位置にバンプ18を、パッド12に配線部14を介して導通した状態で形成したので、該バンプ18が、パッド12の位置やその間隔に制限されることなく形成されたものとなり、したがってその高さや間隔が予め設定された仕様に依じて支障なく形成されたものとなる。また、半導体素子11上に第一の層間絶縁層13を形成したことから、バンプ18等から放出されるα線により、半導体素子11がソフトエラーを起こすことを防止することができ、また半導体素子11上に形成される構成要素との線膨張係数の差によって生じる、半導体素子11上のパッド12の損傷を防ぐことができ、さらにバンプ18の下部に加えられるストレスを緩和することができる。したがって、この半導体装置10は、半導体素子11を保護してそのデバイス特性を長期に亘って維持することができる。

【0022】さらに、信号ピンとなるパッド12に導通するバンプ18を周辺側に、電源ピンとなるパッド12に導通するバンプ18をその内側に形成配置したので、これを回路基板に実装すれば、配線数が多くしたがって回路基板からさらに引き出すための配線が複雑になる信号配線を、回路基板の周辺部に周中させることができ、一方電源配線を、回路基板の内側に一本配設するだけでよい。したがって、回路基板の配線を容易にすることができるとともに、回路基板に実装された後の装置の、コンピュータ等への搭載を容易にすることができる。

【0023】なお、図1(b)、(c)に示した例では、バンプ18のうち周辺側の一行を信号ピンとなるパッドに導通させ、他の列のものを電源ピンとなるパッドに導通させたが、設計上、例えば周辺側の二列を信号ピンに導通させ、残りを電源ピンに導通させてもよいのはもちろんであり、また、内側に位置するバンプ18のうち任意のものを、いわゆるダミーのバンプとして放熱用にしてもよい。

【0024】次に、このような半導体装置10の製造方法を、請求項3記載の製造方法に基づいて説明する。まず、図2(a)に示すように、A1等からなるパッド12を有した半導体素子11を用意する。なお、図2

(a)においてはパッド12を一つしか示していないものの、半導体素子11は、前述したように多数のパッド12を有しており、これらパッド12、12間の間隔は、この例では150μmとなっている。

【0025】次に、前記半導体素子11の、パッド12

7

を形成した側の面上に、図2(b)に示すように第一の層間絶縁層13を形成し、さらに該第一の層間絶縁層13の、前記パッド12の直上部を開口して該パッド12を露出させる開口部13aを形成する。具体的には、例えば感光性ポリイミド〔商品名；UR-3100（東レ社製）〕を半導体素子11上にスピンコートして厚さ5 μ m程度の絶縁層を得、これを100℃で2分間ブリベーク処理して第一の層間絶縁層13とする。そして、予め用意した露光マスクを用い、これを通して露光しさらに現像処理することにより、図2(b)中二点鎖線で示す部分を除去してパッド12の上面を露出させる開口部13aを形成する。

【0026】次いで、図2(c)に示すように前記第一の層間絶縁層12上に、パッド10より半導体素子11上のパンプ形成位置まで延びたパターンの配線部14を形成する。この配線部14の形成方法としては、まず、前記第一の層間絶縁層13上にレジスト〔商品名；OPR-800（東京応化社製）〕をスピンコートして厚さ2 μ m程度に形成し、さらに100℃で90秒間ブリベーク処理した後、予め用意した露光マスクを用いこれを20
を通して露光しさらに現像処理することにより、パッド12からパンプ形成位置まで延びる配線部のネガパターンを形成する。次に、前記レジスト層上の全面に、スパッタ法等の蒸着法によってTi、Cu、Auを順に、それぞれ0.1 μ m、0.5 μ m、0.1 μ mの厚さとなるように堆積し、積層構造のバリアメタル層を形成する。その後、半導体素子11の、バリアメタル層を形成した側の面をレジスト剥離液に浸漬し、レジスト層を溶解処理することによってレジスト層上のバリアメタル層を同時に除去し、残ったバリアメタル層を配線部14とする。30

【0027】次いで、得られた配線部14を覆って前記第一の層間絶縁層13上に、図2(d)に示すように第二の層間絶縁層15を形成し、さらに該第二の層間絶縁層の、前記パンプ形成位置の直上部を開口して前記配線部14を露出させる開口部16を形成する。具体的には、例えば感光性ポリイミド〔商品名；UR-3100（東レ社製）〕を第一の層間絶縁層13上にスピンコートして厚さ5 μ m程度の絶縁層を得、これを100℃で2分間ブリベーク処理して第二の層間絶縁層15とする。そして、予め用意した露光マスクを用い、これを通して露光しさらに現像処理することにより、内径80 μ mの円状の開口面を有する開口部16を形成する。40

【0028】次いで、第二の層間絶縁層15を形成した側の面に、スパッタ等の蒸着法によってCu、Auの順に堆積し、図2(e)に示すように厚さ1.0 μ mのCu層、厚さ0.1 μ mのAu層からなる積層構造の導電層17を形成する。ここで、Au層を設けたのは、Cu層の酸化防止膜として機能させるためである。次いで、図3(a)に示すように、この導電層17上にめっきレ

8

ジスト層19を形成し、さらに前記パンプ形成位置の直上部、すなわち第二の層間絶縁層15の開口部16の直上部を開口して前記導電層17を露出させる開口部19aを形成する。具体的には、例えばめっき用レジスト〔商品名；PMER MR-19（東京応化社製）〕をスピンコートして厚さ40 μ m程度のめっきレジスト層19を得、前記第二の層間絶縁層15の処理のときと同じ露光マスクを用いて露光し、さらに現像処理することにより、内径80 μ mの円状にパターニングを行うことによって開口部16に連通する開口部19aを形成する。

【0029】次いで、このようにしてめっきレジスト層19を形成した半導体素子11を、図4に示すような電解めっき装置20の電解めっき液21中に浸漬し、通電することにより、前記パンプ形成位置の直上部、すなわち図3(b)に示すようにめっきレジスト層19の開口部19a内にマッシュルーム状のはんだパンプ5を形成する。ここで、電解めっき装置20は公知の構成からなるものであり、装置本体20a内に電解めっき液21を貯留するとともに、該電解めっき液21中にPt/Tiメッシュ電極からなる陽極22を配設したものである。陽極22は電源23に接続されたものであり、この電源23には、カソード電極となるピン（図示略）を有したカソード給電部24が接続されている。

【0030】このような電解めっき装置20によるパンプ5の形成方法を説明すると、まず、電解めっき装置20の電解めっき液21に半導体素子11のめっきレジスト層19側を浸漬させ、さらにこの状態でカソード給電部24のピンを半導体素子11に突き当て、そのめっきレジスト層19を突き破って該ピンを半導体素子11の導電層17に導通させる。次いで、電源23よりカソード給電部24を介して導電層17に1.5A/dm²のマイナス電流を流し、さらに電解めっき液〔商品名；LD-5（石原薬品社製）〕21を電解めっき装置20に設けられたポンプ25で噴射する。そして、この状態で例えば室温にて3時間かけ、これによりPb：Sn=95：5のはんだを、めっきレジスト層19の開口部19、第二の層間絶縁層15の開口部16内に露出する導電層17上にめっきし、高さ100 μ mのマッシュルーム状のはんだパンプ5を得る。40

【0031】その後、はんだパンプ5を形成した半導体素子11上のめっきレジスト層19をアセトンで溶解・除去し、さらにめっきレジスト層19が除去されることによって露出した導電層17を、エッチング液を用いて除去する。なお、導電層17のエッチング液としては、導電層17を形成するAu層用として、(NH₄I + I₂ + CH₃COOH)の混合溶液が用いられ、Cu層用として、(NH₄OH + H₂O₂ + EDTA)の混合溶液が用いられる。

【0032】そして、このようにエッチング処理を行っ

50

9

た後、その表面、すなわち第二の層間絶縁層15上にフラックス〔商品名：RH-5186（日本アルファメタル社製）〕をスピンコートし、さらにホットプレート上にて350℃で30秒間の熱処理を行い、マッシュルーム状のはんだバンプ5を溶融することにより、図1

(a)に示したように高さ100μmの球状のバンプ18を形成し、半導体装置10を得る。なお、このような方法により、図1(b)、(c)に示したバンプ18のレイアウトとは別に、500μmの間隔にて、100μmの高さのバンプをエリア状に240個形成することが

できた。
 [0033]このような半導体装置10の製造方法にあつては、パッド12に導通する配線部14上の、予め設定したバンプ形成位置の直上部にバンプ18を形成するので、パッド12の位置やその間隔に制限されることなくバンプ18を任意の位置でしかも任意の間隔で形成配置することができ、これによりバンプ18を任意の高さに形成することができる。したがって、半導体素子11と回路基板との熱膨張係数の差に起因してバンプが熱疲労を起こすことを抑制し、その寿命を長期化することができる。また、バンプ18を任意の位置に形成することができることから、予めバンプ18、18間の間隔を十分広くとっておくことにより、半導体装置10を回路基板に実装する際、その位置合わせを容易に行うことができる。また、半導体素子11として従来の構成のものをそのまま用い、回路基板へのフリップチップ実装を可能にすることができる。

[0034]なお、前記実施例では、第一の層間絶縁層13、第二の層間絶縁層15としてポリイミドからなる絶縁層を用いたが、例えばこれに代え、SiN_x等の窒化膜に代表される無機物を絶縁層として用いてもよく、その場合には、レジストを用いてリソグラフィ、エッチングを行う従来公知の方法により、開口部13a、16を形成すればよい。また、バリアメタル層としてTi/Cu/Auを用いたが、例えば最下層金属として、Tiに代えてCrを用いてもよい。

[0035]さらに、前記実施例では、配線部14の形成方法として、第一の層間絶縁層13の上にレジストを形成し、これに配線部14のネガパターンを形成した後、バリアメタル層を形成し、さらにレジスト層を溶解除去する方法を採用したが、他に例えば、第一の層間絶縁層13およびパッド12の上にバリアメタル層を形成し、さらにレジスト層を形成しこれに露光・現像処理を行って配線部14のポジパターンを形成し、次いでバリアメタル層の不要部分を酸等によってエッチング除去し、その後レジスト剥離液によってレジスト層を除去し、配線部14を形成するといった方法を採用してもよい。

[0036]また、電解めっき装置20によるマッシュルーム状のバンプ5の形成法として、前記実施例に示し

10

た方法に代え、以下の方法を採用することもできる。電解めっき液21として先に用いたLD-5〔商品名：石原薬品社製〕に代えて40℃に加熱したスルファミンニッケルを用い、これをポンプ25で噴射するとともに、前記方法と同様にして電源23よりカソード給電部24を介して導電層17に1.0A/dm²のマイナス電流を流し、これにより高さ50μmのマッシュルーム状のニッケルバンプを得る。次いで、電解めっき液21を亜硫酸金に代えて再度電解めっきを行うことにより、先に形成したニッケルバンプの上に厚さ0.1μmの金めっきを行う。このような方法によれば、得られるバンプに金めっきが施されていることから、耐酸化性に優れたものとなり、バンプを寿命をさらに延ばすことができる。

[0037]

〔発明の効果〕以上説明したように本発明の半導体装置は、配線部を介することによりパッドに導通するバンプが予め設定した所定位置に形成されたものであり、該バンプが、パッドの位置やその間隔に制限されることなく形成されることにより、その高さや間隔が予め設定された仕様に依じて支障なく形成されたものであるから、バンプが十分な高さで形成されることによってその熱疲労寿命が長くなり、したがって高い信頼性を有した状態でフリップチップ実装を可能にし、これにより高密度実装を一層進めることができる。また、十分な間隔でバンプが形成配置されることにより、実装精度を従来のごとく厳しくする必要がなくなり、したがって回路基板への実装の際、該回路基板の電極端子部との位置合わせが容易になることから、高精度の設備を用いることなく十分な信頼性を有する実装を行うことができ、これにより実装不良を防止し、コストダウンを図ることができる。

[0038]本発明の半導体装置の製造方法は、パッドに導通する配線部上の、バンプ形成位置の直上部にバンプを形成するようにし、これによりパッドの位置や間隔に制限されることなくバンプを任意の位置でしかも任意の間隔で形成配置することができるようにしたものであるから、バンプを任意の高さに形成することができ、したがって半導体素子と回路基板との熱膨張係数の差に起因してバンプが熱疲労を起こすことを抑制し、その寿命を長期化することができる。また、バンプを任意の位置に形成することができることから、予めバンプ間の間隔を十分広くとっておくことにより、実装精度を従来のごとく厳しくする必要がなくなり、したがって回路基板への実装の際、該回路基板の電極端子部との位置合わせが容易になることから、高精度の設備を用いることなく十分な信頼性を有する実装を行うことができ、これにより実装不良を防止し、コストダウンを図ることができる。

[0039]さらに、バンプを任意の位置に形成することができることから、半導体素子のファインピッチ化に伴いそのパッド間隔が、回路基板の電極端子部間の間隔に比べより狭小化しても、これに容易に対応して高密度

の実装を可能にすることができる。また、半導体素子として従来の構成のものをそのまま用い、回路基板へのフリップチップ実装を可能にすることができ、ことから、高密度実装のため莫大な時間やコストをかけて全く新規な半導体素子を開発する必要がなく、したがって格段に低いコストで高密度実装を可能にすることができる。

【図１】本発明の半導体装置の一実施例の概略構成を示す図であり、（a）は要部側断面図、（b）は平面図、（c）は変形例の平面図である。

【図 3】（a）～（b）は本発明の製造方法の一実施例を工程順に説明するための要部側断面図であり、図 2 に続く工程を示す図である。

Figure 1 consists of three schematic diagrams labeled (a), (b), and (c).

(a) is a cross-sectional view of a semiconductor device. It shows a semiconductor substrate 10 with a first layer 13 and a second layer 15. A gate electrode 17 is formed on the second layer, and a gate insulating layer 14 is formed on the first layer. A gate opening 16 is formed in the gate insulating layer. A pump 18 is formed in the gate electrode.

(b) is a plan view of the device. It shows a rectangular gate electrode 14 with a central opening 18a(18). The gate electrode is divided into four regions 18b(18) by a central vertical line 14.

(c) is a plan view of the device. It shows a rectangular gate electrode 14 with a central opening 18a(18). The gate electrode is divided into four regions 18b(18) by a central vertical line 14.

12

【図5】(a)～(d)は従来のはんだパンプの形成法を工程順に説明するための要部側断面図である。

5 マッシュルーム状のはんだバンプ 導体装置

10 半

13 a

15 第

17 道

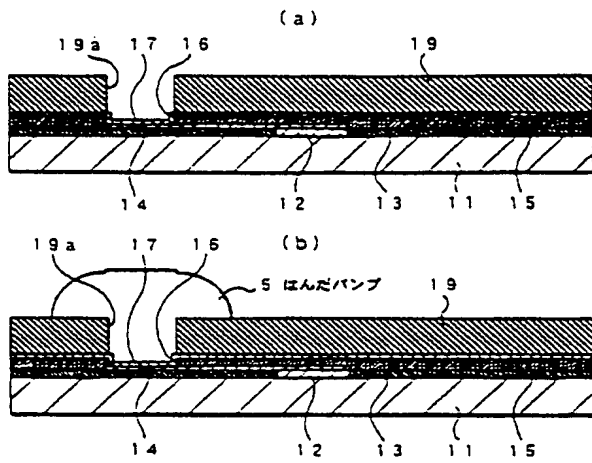
【圖 2】

Figure 1 consists of five cross-sectional views, labeled (a) through (e), illustrating the sequential steps of a semiconductor device's construction. The substrate is represented by a hatched pattern.

- (a)** A **パッド (Pad)** (12) is formed on the **半導体素子 (Semiconductor element)** (11).
- (b)** A **第一の層間絶縁層 (First interlayer insulating layer)** (13) is formed over the pad and substrate. An **開口部 (Opening)** (13a) is formed in this layer.
- (c)** A **配線部 (Wiring part)** (14) is formed within the opening (13a) of the first interlayer insulating layer (13).
- (d)** A **第二の層間絶縁層 (Second interlayer insulating layer)** (15) is formed over the first interlayer insulating layer (13) and the wiring (14). A new **開口部 (Opening)** (16) is formed in this second layer.
- (e)** A **導電層 (Conductive layer)** (17) is formed within the opening (16) of the second interlayer insulating layer (15).

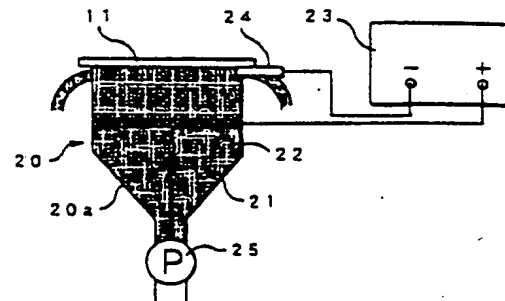
本発明の工程説明図（１）

【図3】



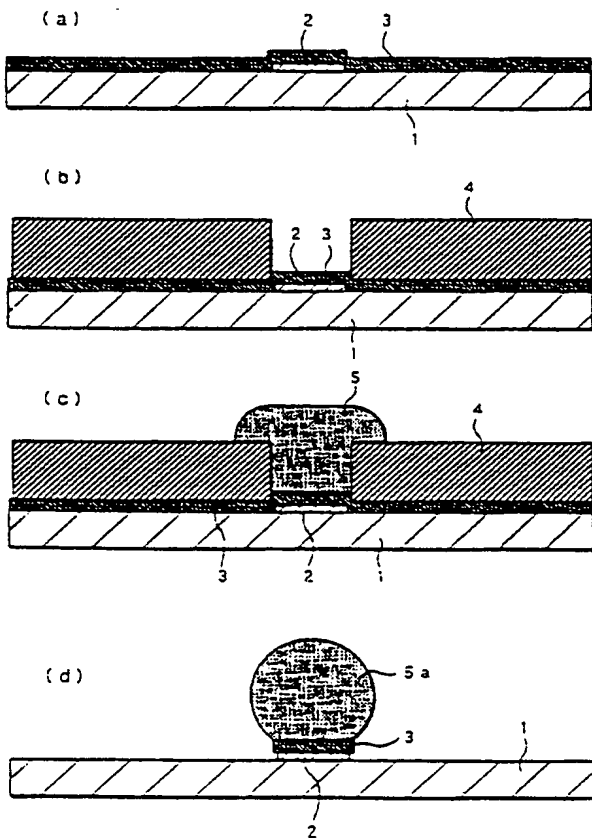
本発明の工程説明図(11)

【図4】



電解めっき装置の概略構成図

【図5】



従来の工程説明図